

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-270651

(43)公開日 平成10年(1998)10月9日

(51)Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 27/10

4 5 1

H 0 1 L 27/10

4 5 1

27/04

27/04

C

21/822

27/10

6 5 1

27/108

29/78

3 7 1

21/8242

審査請求 未請求 請求項の数7 O L (全 6 頁) 最終頁に続く

(21)出願番号

特願平9-70999

(22)出願日

平成9年(1997)3月25日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 川久保 隆

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 佐野 賢也

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 梁瀬 直子

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(74)代理人 弁理士 外川 英明

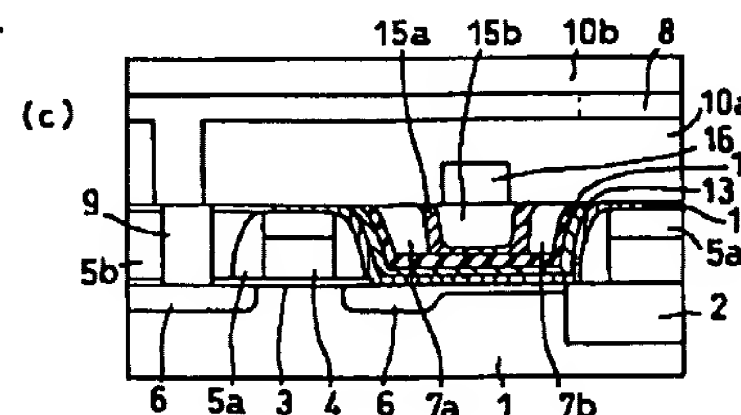
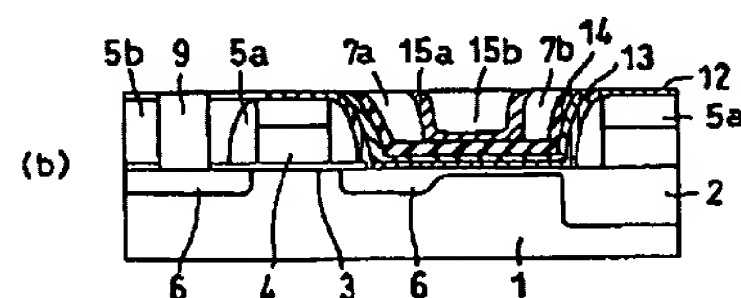
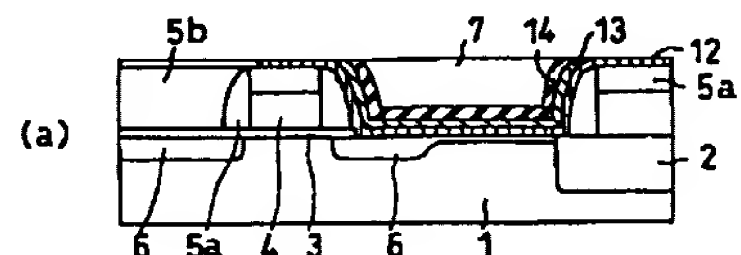
最終頁に続く

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 本発明は、エピタキシャル効果を利用して強誘電性を発現した強誘電体薄膜、あるいはエピタキシャル効果により強誘電性が強化された強誘電体薄膜を使用した半導体メモリ等において、作成方法が容易で、かつ比較的高集積化が可能なキャパシタセルを提供する。

【解決手段】 半導体基板1上にトランジスタとキャパシタから構成されるメモリセルをマトリックス状に配列したメモリセルアレイを有する半導体記憶装置において、前記トランジスタのソースあるいはドレイン電極6上またはその延長の導電層上に作製したコンタクトホール内に、基板側から順にバリア金属層12、下部電極層13、および誘電体膜14がそれぞれエピタキシャル成長ないしは配向成長することにより前記キャパシタを構成していることを特徴とする。



1

## 【特許請求の範囲】

【請求項1】 半導体基板上に、トランジスタとキャパシタから構成されるメモリセルを、マトリックス状に配列したメモリセルアレイを有する半導体記憶装置であって、前記トランジスタのゲート電極配線の側部及び上部には該ゲート電極配線を覆うように絶縁膜が形成され、前記トランジスタのソースあるいはドレイン電極上に、前記トランジスタのゲート電極配線側部の前記絶縁膜上から、該ゲート電極配線に隣接して配設されたゲート電極配線側部の前記絶縁膜上へかけて、連続して形成された前記キャパシタの下部電極層と、この下部電極層上に設けられた前記キャパシタの誘電体膜と、この誘電体膜上に設けられた前記キャパシタの上部電極層とを有し、前記下部電極層及び前記誘電体膜は、少なくとも前記ソースあるいはドレイン電極上において、前記ソースあるいはドレイン電極の結晶方位を引き継いでエピタキシャル成長若しくは配向成長していることを特徴とする半導体記憶装置。

【請求項2】 前記ソースあるいはドレイン電極と前記下部電極層との間にはバリア金属層が形成され、このバリア金属層は、前記ソースあるいはドレイン電極の結晶方位を引き継いでエピタキシャル成長ないしは配向成長していることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記キャパシタの上部電極層が、前記ソースあるいはドレイン電極上においてエピタキシャル成長若しくは配向成長している前記誘電体膜の部分にのみ接していることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項4】 前記上部電極層が前記誘電体膜と接する部分以外の領域において、前記上部電極層と前記下部電極層との間を埋めるように、前記誘電体膜とは別に埋め込み絶縁膜が形成されていることを特徴とする請求項3記載の半導体記憶装置。

【請求項5】 前記ゲート電極配線側部の前記絶縁膜上における前記下部電極層の上端部と、前記上部電極層の上端部とは概略同一平面内にあることを特徴とする請求項1乃至4記載の半導体記憶装置。

【請求項6】 前記メモリセルアレイのうちの複数のメモリセルには、そのキャパシタの上部電極層同士を互いに電気的に接続するための接続電極配線層が設けられていることを特徴とする請求項1乃至5記載の半導体記憶装置。

【請求項7】 前記誘電体膜の本来のキュリー温度が200℃以下であることを特徴とする請求項1乃至6記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、ペロブスカイト型結晶構造などを有する誘電性材料からなる誘電体膜を具

2

備した薄膜キャパシタを用いた半導体記憶装置に関する。

## 【0002】

【従来の技術】 最近、記憶媒体として強誘電体薄膜を用いた記憶装置（強誘電体メモリ）の開発が行われており、一部にはすでに実用化されている。強誘電体メモリは不揮発性であり、電源を落とした後も記憶内容が失われない、しかも膜厚が十分薄い場合には自発分極の反転が速く、DRAM並みに高速の書き込み、読み出しが可能であるなどの特徴を持つ。また、1ビットのメモリセルを一つのトランジスタと一つの強誘電体キャパシタで作成することができるため、大容量化にも適している。

【0003】 強誘電体メモリに適した強誘電体薄膜には、残留分極が大きいこと、残留分極の温度依存性が小さいこと、残留分極の長時間保持が可能であること（リテンション）などが必要である。

【0004】 現在、強誘電体材料としては、主としてジルコン酸チタン酸鉛（PZT）が用いられている。PZTは、ジルコン酸鉛とチタン酸鉛の固溶体であるが、ほぼ1:1のモル比で固溶したものが自発分極が大きく、低い電界でも反転することができ、記憶媒体として優れていると考えられている。PZTは、強誘電体相と常誘電体層の転移温度（キュリー温度）が300℃以上と比較的高いため、通常の電子回路が使用される温度範囲（120℃以下）では、記憶された内容が熱によって失われる心配は少ない。

【0005】 しかしながら、PZTの良質な薄膜は作成が難しいことが知られている。第一に、PZTの主成分である鉛は500℃以上で蒸発しやすく、そのため組成の正確な制御が難しい。第二に、PZTがペロブスカイト型結晶構造を形成したときにはじめて強誘電性が現れるが、このペロブスカイト型結晶を持つPZTは得るのが難しく、パイロクロアと呼ばれる結晶構造のほうが容易に得られるという問題がある。また、シリコンデバイスに応用した場合には、主成分である鉛のシリコン中への拡散を防ぐことが難しいという問題もある。

【0006】 PZT以外ではチタン酸バリウム（BaTiO<sub>3</sub>）が代表的な強誘電体として知られている。チタン酸バリウムはPZTと同じくペロブスカイト型結晶を持ち、キュリー温度は約120℃であることが知られている。Pbと比べるとBaは蒸発しにくいので、チタン酸バリウムの薄膜作成においては、組成の制御が比較的容易である。また、チタン酸バリウムが結晶化した場合は、ペロブスカイト型以外の結晶構造をとることはほとんどない。

【0007】 これらの長所にもかかわらず、チタン酸バリウムの薄膜キャパシタが強誘電体メモリの記憶媒体としてさほど検討されていない理由として、PZTと比べて残留分極が小さく、しかも残留分極の温度依存性が大きいことが挙げられる。この原因は、チタン酸バリウム

のキュリー温度が低い(120℃)ことにあり、このため強誘電体メモリを作成した場合、100℃以上の高温にさらされた場合に記憶内容が失われる恐れがあるばかりではなく、通常電子回路が使用される温度範囲(85℃以下)でも残留分極の温度依存性が大きく、動作が不安定である。したがって、チタン酸バリウムからなる強誘電体薄膜を使用した薄膜キャパシタは、強誘電体メモリの記憶媒体としての用途に適さないと考えられていた。

#### 【0008】

【発明が解決しようとする課題】本発明者らは、新しい強誘電体薄膜として、下部電極(例えばルテニウム酸ストロンチウム( $\text{SrRuO}_3$ 、以下SROと呼ぶ。)の(100)面)の格子定数に比較的近くやや大きな格子定数を持つ誘電材料(例えば、 $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ )を選択し、かつまたRFマグネトロン・スパッタ法という成膜過程でミスフィット転位が比較的入りにくい成膜方法を採用して、分極軸であるc軸方向にエピタキシャル成長させることにより、膜厚200nm以上の比較的厚い膜厚をもつ薄膜においても、エピタキシャル効果により本来の誘電体の格子定数よりも膜厚方向(c軸)に格子定数が伸び、面内方向(a軸)の格子定数が縮んだ状態を保つことができることを見いだした。

【0009】その結果、強誘電キュリー温度を高温側にシフトさせ、室温領域で大きな残留分極を示し、かつ85℃程度まで温度を上げてても十分大きな残留分極を保持できる強誘電体薄膜が実現可能であることを確認している。

【0010】例えば、下部電極として導電性ペロブスカイト結晶であるSRO(格子定数 $a:0.393$ )を使用し、誘電体としてチタン酸バリウムストロンチウム( $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ 、以下BSTと呼ぶ。組成領域 $0.30 \leq x \leq 0.90$ 。)を用いることにより、本来室温では強誘電性を示さないはずの組成領域( $x \leq 0.7$ )でも強誘電性が発現し、またもともと室温で強誘電性を示す組成領域( $x > 0.7$ )においては、本来室温以上にあるキュリー温度がさらに上昇するという、実用上好ましい強誘電体特性を実現できることを実験的に確認している。

【0011】このエピタキシャル成長させた強誘電体薄膜を使用した薄膜キャパシタを用いて、不揮発性の半導体メモリを構成することができる。エピタキシャル薄膜キャパシタは、以下に述べるような種々の構造で作成することが可能である。

(1) トランジスタの電極上に、選択エピタキシャル成長ないしは固相エピタキシャル成長により単結晶Siプラグを作製し、その上にエピタキシャル薄膜キャパシタを作成する方法(特願平7-082091)。

(2) トランジスタを覆う層間絶縁膜上に、一端がSi基板に接しているシード部分からの成長による単結晶SO

I (Silicon On Insulator) 層を作製し、その上にエピタキシャル薄膜キャパシタを作成し、予めSOI層の下に形成したコンタクトプラグによりトランジスタの電極の一つとキャパシタを接続する方法(特願H7-22509)。

(3) トランジスタを覆う層間絶縁膜上に、グラフォエピタキシー法により単結晶Si層を作製し、その上にエピタキシャル薄膜キャパシタを作成し、さらにコンタクトプラグを形成してトランジスタの電極の一つとキャパシタの電極の一つを接続する方法(特願平7-22509)。

10 (4) Si基板上にエピタキシャル薄膜キャパシタを作製し、別個に並置して作製したトランジスタの電極と配線により接続する方法(特願平8-034867)。

【0012】このうち、(1)の方法はトランジスタの直上に積層して薄膜キャパシタを作製することができるため構造上は最も高集積化には適するが、単結晶Siプラグを作製する工程のプロセスウインドが狭く、一つのメモリデバイスの中に数十メガ個以上の数のプラグを作製する歩留まりを考慮すると、クリアすべき技術課題が大きい。

20 【0013】また(2)および(3)の方法は、キャパシタを作製する土台となる単結晶Si層の作製に、それぞれSOI法およびグラフォエピタキシャル法を採用しているが、どちらも再溶融・凝固などの高温の熱処理過程を含み、技術的に確立された方法であるとはいえず、やはりクリアすべき技術課題が大きい。

30 【0014】また(4)の方法は、技術的な問題は少ないが、キャパシタとトランジスタをSi基板上に別個に並置して作るためにスペース効率が悪くなり、高集積化したメモリ素子を作るのが困難であるという別の問題点がある。

【0015】なお、以上の説明では強誘電性を有する誘電体薄膜について述べたが、高誘電率を有する常誘電性の誘電体薄膜についても同様な問題がある。本発明は、エピタキシャル効果を利用して強誘電性を発現した誘電体薄膜、あるいはエピタキシャル効果により強誘電性又は常誘電性が強化された誘電体薄膜を使用した半導体メモリにおいて、作成方法が容易で、かつ比較的高集積化が可能なキャパシタセルを提供するためになされたものである。

40 【0016】

【課題を解決するための手段】前述した問題を解決するために本発明は、半導体基板上に、トランジスタとキャパシタから構成されるメモリセルを、マトリックス状に配列したメモリセルアレイを有する半導体記憶装置であって、前記トランジスタのゲート電極配線の側部及び上部には該ゲート電極配線を覆うように絶縁膜が形成され、前記トランジスタのソースあるいはドレイン電極上に、前記トランジスタのゲート電極配線側部の前記絶縁膜上から、該ゲート電極配線に隣接して配設されたゲート電極配線側部の前記絶縁膜上へかけて、連続して形成



された前記キャパシタの下部電極層と、この下部電極層上に設けられた前記キャパシタの誘電体膜と、この誘電体膜上に設けられた前記キャパシタの上部電極層とを有し、前記下部電極層及び前記誘電体膜は、少なくとも前記ソースあるいはドレイン電極上において、前記ソースあるいはドレイン電極の結晶方位を引き継いでエピタキシャル成長若しくは配向成長していることを特徴とする半導体記憶装置を提供する。

【0017】かかる発明において、以下の態様が好ましい。

(1) 前記ソースあるいはドレイン電極と前記下部電極層との間にはバリア金属層が形成され、このバリア金属層は、前記ソースあるいはドレイン電極の結晶方位を引き継いでエピタキシャル成長ないしは配向成長していること。

【0018】(2) 前記キャパシタの上部電極層が、前記ソースあるいはドレイン電極上においてエピタキシャル成長若しくは配向成長している前記誘電体膜の部分にのみ接していること。

【0019】(3) 前記上部電極層が前記誘電体膜と接する部分以外の領域に、前記上部電極層と前記下部電極層との間を埋めるように、前記誘電体膜とは別に埋め込み絶縁膜が形成されていること。

【0020】(4) 前記ゲート電極配線側部の前記絶縁膜上における前記下部電極層の上端部と、前記上部電極層の上端部とは概略同一平面内にあること。

(5) 前記メモリセルアレイのうちの複数のメモリセルには、そのキャパシタの上部電極層同志をお互いに電気的に接続するための接続電極配線層が設けられていること。

【0021】(6) 前記誘電体膜の本来のキュリー温度が200℃以下であることを特徴とする請求項1乃至6記載の半導体記憶装置。上記した本発明においては以下に示す有利な作用効果がある。

【0022】すなわち、従来の強誘電体膜として使用されている低融点の鉛を含む $Pb(Zr, Ti)O_3$  (PZT) や、ビスマスを含む $SrBi_2Ta_2O_9$  (SBT) では、Si基板中への拡散の問題が厳しいために、トランジスタから遠く離して形成する必要があった。しかしながら、本発明にかかるエピタキシャルBST誘電体膜を使用したキャパシタにおいては、低融点金属を含まず拡散速度が遅いことと、粒界を持たずにバリア性の高いエピタキシャル成長したバリアメタルを使用することが可能になったために、トランジスタの1つの電極ないしはその延長のSi電極の上に直接強誘電体キャパシタや高誘電率のキャパシタを形成することが初めて可能になった。

【0023】この発明によって、例えば前述の従来例

(1) に比較して選択エピタキシャルCVD成長法などによる単結晶Siプラグが不要になり、単にスパッタ法によりバリアメタル、下部電極、誘電体膜などをコンフ

ォーマルにエピタキシャル成長させればよいため、技術的にはるかに容易になる。

【0024】また、トランジスタの1つの電極ないしはその延長上に形成された、絶縁膜に開けられたコンタクトホール内に、スパッタ法によってコンフォーマルなエピタキシャル成長によりキャパシタを形成するためには、コンタクトホールの高さに比べて幅が十分に広く、アスペクト比が0.5以下であることが望ましい。

【0025】また、前記コンタクトホール内の底面のSi基板に接して形成されたキャパシタの部分がエピタキシャル成長して強誘電性を持ち、一方コンタクトホール内の側面の絶縁膜に接して形成されたキャパシタの部分は常誘電性であるか弱い強誘電性であるため、キャパシタの上部電極は誘電体膜の基板に対向した部分、若しくは配向成長している部分にのみ接していることが望ましい。

【0026】また、誘電体固有のキュリー温度を200℃以下と規定した理由は、キュリー温度が200℃以上と高いものは、ペロブスカイト結晶を構成する元素に低融点金属である鉛かビスマスを含むため、これらの誘電体は本発明のプロセスに適さないためである。

【0027】本発明によれば、シリコンプロセスに適合するのに困難な低融点金属である鉛やビスマスを含むことを避け、エピタキシャル成長時に導入される歪により誘起された強誘電体膜を、トランジスタの1つの電極ないしはその延長上に容易に形成することが可能となり、信頼性の高い超高集積化した半導体記憶素子を作成することが可能になる。

【0028】

【発明の実施の形態】以下、本発明の実施形態を図面を参照しつつ説明する。図1は、本発明の一実施形態にかかる工程を示す工程断面図である。1は第1導電型半導体基板、2は素子間分離酸化膜、3はゲート酸化膜、4はワード線(ゲート電極配線)、5aはゲート電極配線の周囲を取り囲む絶縁膜、5b、10a、10bは層間絶縁膜、6は第2導電型不純物拡散層、8はビット線、9はビット線のコンタクトプラグ、11はコンタクトホール底部領域、12はバリア金属、13は下部電極、14は誘電体薄膜、15a、15bは上部電極、16はドライブ線である。

【0029】図1(a)は、メモリセルのトランジスタ部および層間絶縁膜5bを形成し、化学的機械的研磨(CMP)法により平坦化した後、トランジスタの1つの電極およびその延長部にコンタクトホール11を開口したところである。このとき、その後のスパッタにより電極や誘電体膜がSi基板上にエピタキシャル成長できるように、コンタクトホールの深さと幅のアスペクト比を0.4に設定した。また、コンタクトホールの開口にはRIE法でおよそ80%の深さまでエッチングした後、さらにフッ酸を使用した湿式選択エッチングによりSiの清

浄表面を出した。

【0030】次に同図(b)に示すように、バリア金属12として反応性スパッタ法(Tiターゲット使用。)若しくは通常のスパッタ法(TiNターゲット使用。)により600℃でTiNを積層し、マスクを用いたRIEによりコンタクトホール及びその周辺以外の不要部を除去した。かかる両スパッタ法における雰囲気は、例えばArとN<sub>2</sub>の混合ガス雰囲気とし、混合比は例えばAr:N<sub>2</sub>=10:1とし、全圧は例えば数ミリTorrとした。このとき、コンタクトホールの底のSi基板に接した部分は(001)方向に配向した単結晶のTiNであったが、側壁の絶縁膜に接した部分は、多結晶のTiNであった。

【0031】次に同図(c)に示すように、引き続き下部電極13としてスパッタ法により600℃で白金薄膜と、導電性ペロブスカイト膜、例えばSRO膜を、さらにBaのモル分率70%のBST薄膜14をスパッタ法により600℃で40nmの厚さに成長させた。白金薄膜の成膜の場合はArガス雰囲気を用い、SRO膜及びBST薄膜の成膜の場合はArとO<sub>2</sub>の混合ガス雰囲気(例えばAr:O<sub>2</sub>=4:1。)を用いた。このとき、コンタクトホールの底の単結晶のTiNの上には白金およびSROからなる下部電極、BST誘電体膜すべて(001)方位にエピタキシャル成長していたが、側面の部分や絶縁膜の上では全て多結晶膜であった。さらに全体に層間絶縁膜7により被覆した。

【0032】その後、図2(a)に示すように、ワード線の上部に形成されたTiN膜12をストッパーとして用いたCMP法による加工により、コンタクトホール内部以外の部分の下部電極および誘電体膜を除去した。

【0033】次に図2(b)に示すように、コンタクトホール内の層間絶縁膜7をフォトリソグラフィおよびRIE法によりパターンニングし、上部電極15aとしてSRO膜を成膜温度600℃でスパッタ法により形成し、さらにAl電極15bを室温でスパッタ法により形成後、CMP法によりコンタクトホール内部以外の部分の上部電極を除去した。また、トランジスタのキャパシタしたとは接続しない他の電極上には、周知の方法によりポリシリコンからなるビット線用のコンタクトプラグ9を作製した。

【0034】次に図2(c)に示すように、ドライブ線16およびビット線8を形成した。このようにして形成した強誘電体薄膜キャパシタの特性を測定したところ、残留分極量として0.42C/m<sup>2</sup>と大きな値が得られ、強誘電体キャパシタとして機能することが確かめられた。

【0035】なお、本発明は上記実施形態に限定されるものではない。スパッタリング法としてはマグネトロンスパッタリング法を用いることも可能である。例えば、層間絶縁膜7をパターンニングする方法として、リソグラ

フィによる方法を示したが、全面に形成した層間絶縁膜7を全面異方性エッチングによりエッチバックすることにより、コンタクトホールの側壁(ゲート電極配線の周囲を取り囲む絶縁膜5aの側壁部)に層間絶縁膜7を選択的に残す方法を用いても良い。

【0036】また、誘電体膜の製造工程としては、層間絶縁膜7のパターンニングの前に予め形成しておく方法を示したが、層間絶縁膜7のパターンニングの後に埋め込み形成する方法や、層間絶縁膜7のパターンニングの前に予め一層目を形成しておき、当該膜7のパターンニングの後にさらに二層目を形成する方法を採用しても良い。

【0037】また、例えば、RIE等のエッチング工程やCMP工程により、SRO等の導電性ペロブスカイトからなる電極に損傷層が形成された場合には、硝酸セリウムアンモニウムと過塩素酸とを含む混合溶液を用いて損傷層を除去することが可能である。また、BST等のペロブスカイトからなる誘電体層に上記工程により損傷層が形成された場合には、EDTA(エチレンジアミンテトラアセテート)、過酸化水素水、及びアンモニアを含む混合溶液を用いて損傷層を除去することが可能である。

【0038】また、バリア絶縁膜としてはTiN膜の他にTiAlN膜を用いても良いし、場合によっては省略することも可能である。TiAlN膜の成膜条件は、まずSi基板を1%HF溶液で3分間エッチングした後、超純水にて30分間リンスする。ここで、HF洗浄後にHClとH<sub>2</sub>Oとの混合溶液に1分つける方法を用いることも可能である。次に、成膜室内1×10<sup>-7</sup>Torr以下で850℃に加熱する。さらに、基板温度を600℃にし、イオンビーム反応性成膜にてTiAlN膜を成膜速度約0.03nm/分で成膜した。蒸着源としてはTiはEB蒸着、AlはK-cell(Knundsen cell)を用いた。またN<sub>2</sub>+イオンを100eVに加速して基板に照射した。

【0039】さらに、上記実施形態では強誘電体膜を形成してFRAMを形成する方法を示したが、高誘電率常誘電体膜を形成してDRAMを形成する方法や、FRAMとDRAMが混在したメモリーデバイスを形成する方法に適用することが可能である。この場合、DRAMの絶縁膜としてBSTを用いる場合、ストロンチウムの含有比率を大きくしたもの(例えばストロンチウム80%、バリウム20%)を用いることが可能である。その他、本発明の趣旨を逸脱しない範囲で種々変形して実施することが可能である。

【0040】

【発明の効果】以上詳述したように本発明によれば、シリコンプロセスに適合するのに困難な低融点金属である鉛やビスマスを含むことを避け、エピタキシャル成長時に導入される歪により誘起された強誘電体膜若しくは常誘電体膜を半導体基板上に容易なプロセスで作製するこ

9

とができ、信頼性の高い超高集積化した半導体記憶素子の実現が可能になり、本発明の工業的価値は極めて大きい。

【図面の簡単な説明】

【図1】 本発明の一実施形態のメモリセルを製造する工程を示した工程断面図。

【図2】 図1に続く本発明の一実施形態のメモリセルを製造する工程を示した工程断面図。

【符号の説明】

- 1…第1導電型半導体基板  
2…素子間分離酸化膜  
3…ゲート酸化膜  
4…ワード線（ゲート電極配線）

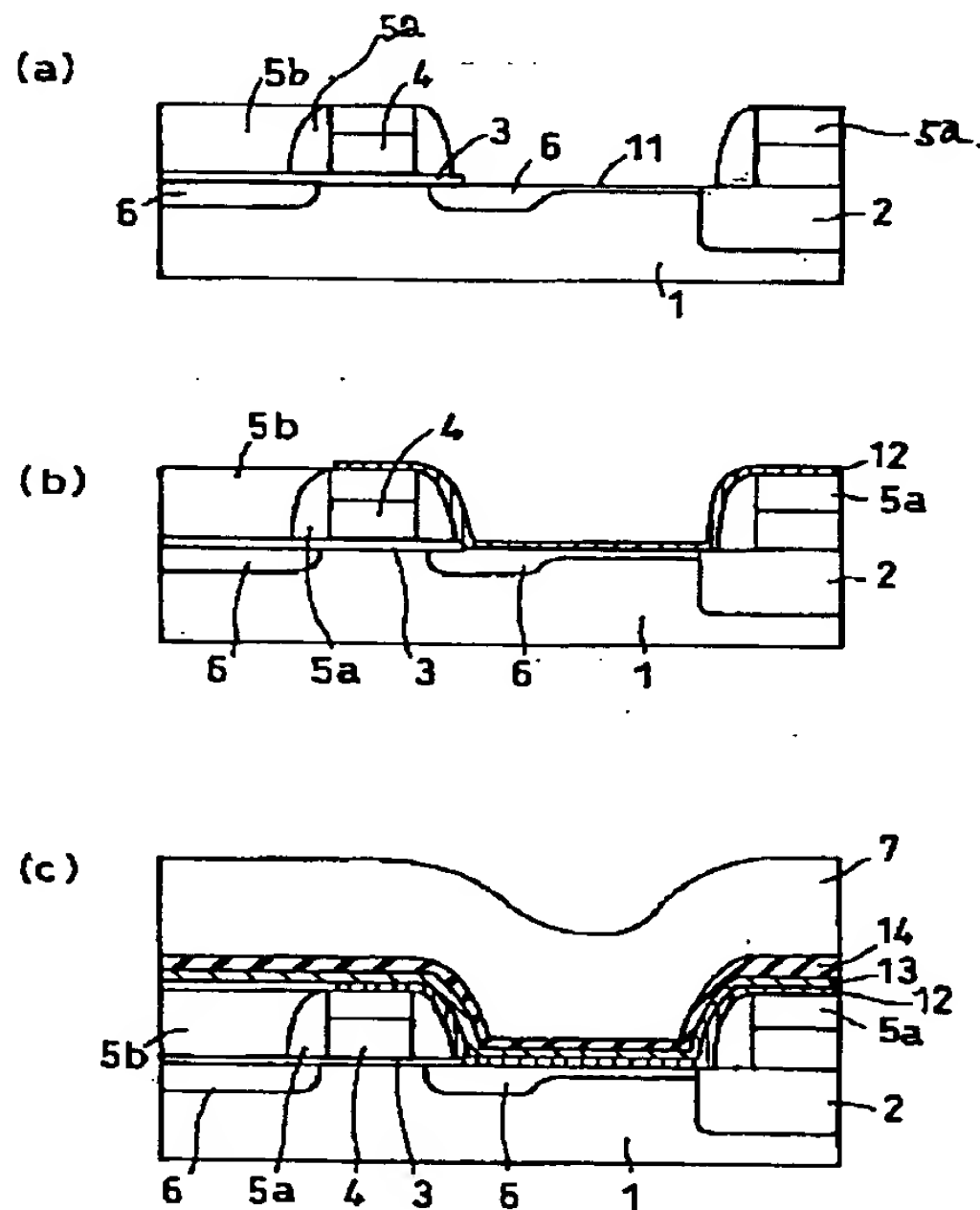
10

- \* 5a…ゲート電極配線の周囲を取り囲む絶縁膜  
5b、10a、10b…層間絶縁膜  
6…第2導電型不純物拡散層  
7…層間絶縁膜  
8…ビット線  
9…ビット線のコンタクトプラグ  
11…コンタクトホール底部領域  
12…バリア金属  
13…下部電極  
14…誘電体薄膜  
15a、15b…上部電極  
16…ドライブ線

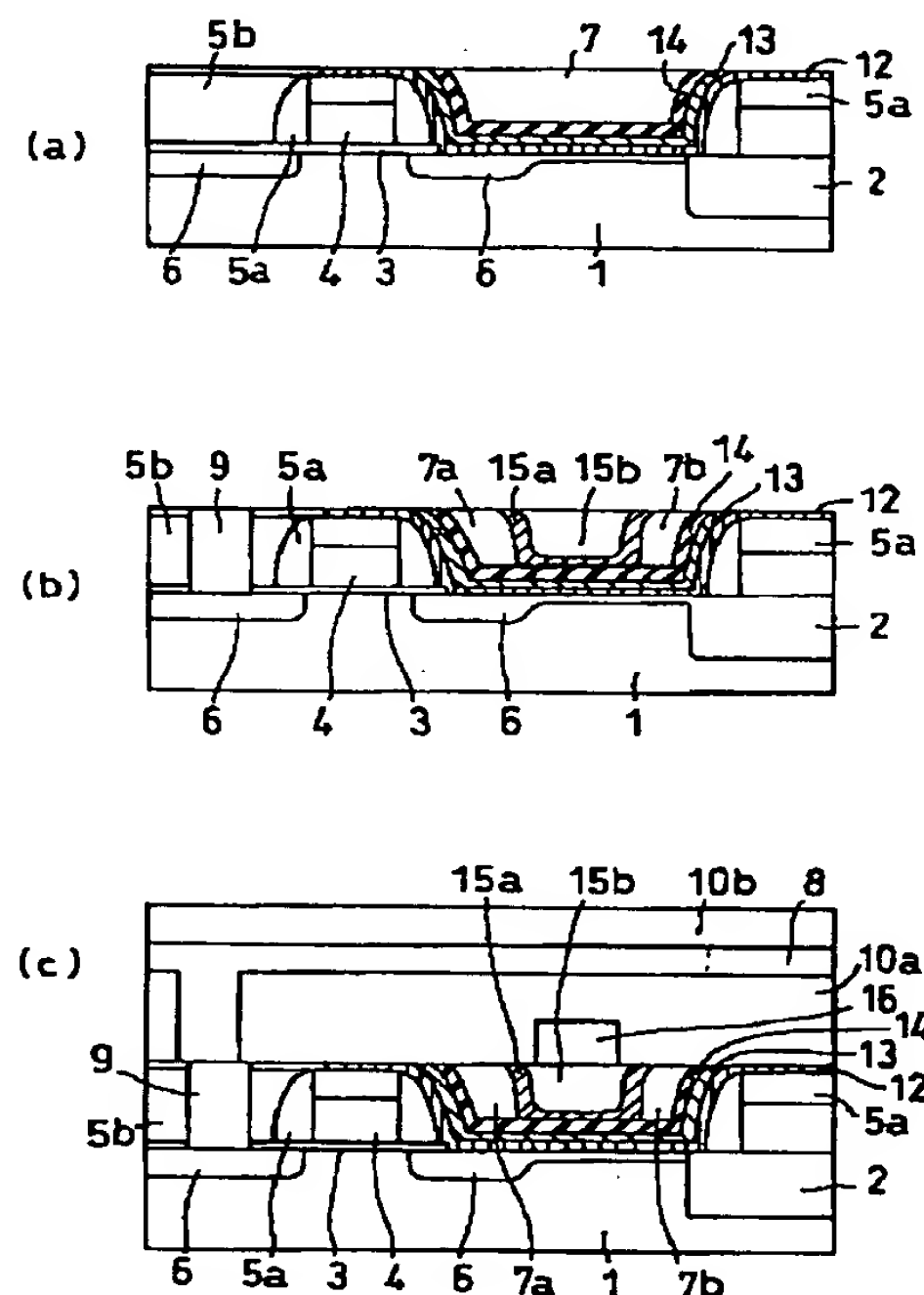
10

\*

【図1】



【図2】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/8247  
29/788  
29/792

(72)発明者 阿部 和秀

神奈川県川崎市幸区柳町70番地 株式会社  
東芝柳町工場内

(72)発明者 小松 周一

神奈川県川崎市幸区柳町70番地 株式会社  
東芝柳町工場内